

@7818.5
NE-1154-LIS

2

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3222847号

(P3222847)

(45)発行日 平成13年10月29日(2001.10.29)

(24)登録日 平成13年8月17日(2001.8.17)

(51)Int.Cl.⁷

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 2 2

21/337

6 1 7 N

29/808

29/80

C

請求項の数4(全 9 頁)

(21)出願番号 特願平10-324149

(22)出願日 平成10年11月13日(1998.11.13)

(65)公開番号 特開平11-224950

(43)公開日 平成11年8月17日(1999.8.17)

審査請求日 平成11年11月8日(1999.11.8)

(31)優先権主張番号 特願平9-314036

(32)優先日 平成9年11月14日(1997.11.14)

(33)優先権主張国 日本(J P)

(73)特許権者 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72)発明者 早崎 嘉城

大阪府門真市大字門真1048番地松下電工
株式会社内

(72)発明者 鈴木 正彦

大阪府門真市大字門真1048番地松下電工
株式会社内

(72)発明者 鈴木 裕二

大阪府門真市大字門真1048番地松下電工
株式会社内

(74)代理人 100087767

弁理士 西川 恵清 (外1名)

審査官 河本 充雄

最終頁に続く

(54)【発明の名称】 双方向形半導体装置

1

(57)【特許請求の範囲】

【請求項1】 絶縁層の上に第一導電形の半導体層を形成したSOI構造の基板を有し、前記半導体層の表面側に互いに離間して形成された高濃度第一導電形の一対のドレイン領域と、前記一対のドレイン領域間の前記半導体層を分割するように前記半導体層の表面から絶縁層まで形成された第二導電形のウェル領域と、前記ウェル領域内でウェル領域の表面側に形成された高濃度第一導電形の一対のソース領域と、各ドレイン領域と各ソース領域との間のウェル領域の表面にゲート絶縁膜を介して配置された一対のゲート電極と、各ドレイン領域に接続された一対のドレイン電極と、前記一対のソース領域に跨がって接続されたソース電極とを備え、前記ゲート電極は互いに電氣的に接続されていることを特徴とする双方向形半導体装置。

2

【請求項2】 絶縁層の上に第一導電形の半導体層を形成したSOI構造の基板を有し、前記半導体層の表面側に互いに離間して形成された高濃度第一導電形の一対のドレイン領域と、前記一対のドレイン領域間の前記半導体層を分割するように前記半導体層の表面から絶縁層まで形成された低濃度第一導電形のウェル領域と、前記ウェル領域内でウェル領域の表面側に形成された高濃度第一導電形のソース領域と、各ドレイン領域とソース領域との間のウェル領域の表面にゲート絶縁膜を介して配置された一対のゲート電極と、各ドレイン領域に接続された一対のドレイン電極と、ソース領域に接続されたソース電極とを備え、前記ゲート電極は互いに電氣的に接続されていることを特徴とする双方向形半導体装置。

【請求項3】 絶縁層の上に第一導電形の半導体層を形成したSOI構造の基板を有し、前記半導体層の表面側

に互いに離間して形成された高濃度第一導電形の一対のドレイン領域と、前記一対のドレイン領域間の前記半導体層内で半導体層の表面側に形成された高濃度第一導電形のソース領域と、各ドレイン領域とソース領域との間の半導体層内で絶縁層とは離間するように半導体層の表面側に形成された高濃度第二導電形の一対のゲート領域と、各ドレイン領域に接続された一対のドレイン電極と、ソース領域に接続されたソース電極と、各ゲート領域に接続され互いに電気的に接続されたゲート電極とを備えることを特徴とする双方向形半導体装置。

【請求項4】 絶縁層の上に第一導電形の半導体層を形成したSOI構造の基板を有し、前記半導体層の表面側に互いに離間して形成された高濃度第一導電形の一対のドレイン領域と、前記一対のドレイン領域間の前記半導体層内で半導体層の表面側に形成された高濃度第一導電形のソース領域と、各ドレイン領域とソース領域との間の半導体層内で半導体層の表面から絶縁層まで形成された第二導電形の一対のゲート領域と、各ドレイン領域に接続された一対のドレイン電極と、ソース領域に接続されたソース電極と、各ゲート領域に接続され互いに電気的に接続されたゲート電極とを備え、各ゲート領域は複数の領域に分割され、分割された各領域の間が各ドレイン領域とソース領域との間の導電路であるチャンネル領域となることを特徴とする双方向形半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スイッチ素子として用いられる双方向形半導体装置に関するものである。

【0002】

【従来の技術】従来より、信号や電力をオン・オフするスイッチ要素として半導体リレーが知られている。半導体リレーは、発光ダイオードのような発光素子と、フォトダイオードのような受光素子と、受光素子の出力によりオンオフされる半導体スイッチ素子とをパッケージに内蔵したものであり、交流信号や交流電力のオン・オフに用いる半導体リレーでは、半導体スイッチ素子として双方向スイッチが必要である。また、半導体リレーを電力のオン・オフに用いるには、半導体スイッチ素子として高耐圧のパワー半導体素子が必要である。

【0003】この種のパワー半導体素子としては、SOI構造の双方向形横形絶縁ゲートトランジスタ(LIGBT=Lateral Insulated-Gate Bipolar Transistor)(ISPSD(International Symposium on Power Semiconductor Devices and ICs) '97, pp37-40)がある。双方向形LIGBTは、図6に示す構造を有している。図示する構造では、単結晶シリコンよりなる半導体基板501の一主表面にシリコン酸化膜よりなる絶縁層502を介してn形半導体層503を形成したSOI構造としてある。

【0004】なお、SOI構造の基板の製造には、単結

晶シリコン中に酸素をイオン注入して内部に絶縁層を形成するSIMOX(Separation by Implanted Oxygen)法、絶縁層502の上に単結晶シリコンの基板を張り合わせる張り合わせSOI法、半導体基板501の表面にシリコン酸化膜の絶縁層502を形成した後に単結晶シリコンを成長させるSOI成長法、陽極酸化によってシリコンを部分的に多孔質化し酸化することによって形成する方法などが知られている。SOI成長法での単結晶シリコンは、気相、液相、固相のいずれかで成長させる。

10

【0005】双方向形LIGBTでは、n形半導体層503の表面側に2つのp+形ウェル領域504、505が形成され、p+形ウェル領域504、505の中にn+形エミッタ領域506、507が形成される。p+形ウェル領域504、505はn形半導体層503の表面に露出するように形成され、かつ所定の耐圧を保持できるように所定距離(ドリフト距離)だけ離間して形成される。また、n+形エミッタ領域506、507もn形半導体層503の表面(p+形ウェル領域504、505の表面)に露出するように形成される。

20

【0006】p+形ウェル領域504、505のうちで2つのn+形エミッタ領域506、507の間に位置する部位の上には、ゲート絶縁膜508、509を介してポリシリコン等からなる絶縁ゲート形のゲート電極510、511が形成される。また、p+形ウェル領域504、505とn+形エミッタ領域506、507とに跨がる形でエミッタ電極512、513が形成されている。この構成では、ゲート電極510、511への印加電圧を制御すれば、エミッタ電極512、513間を流れる主電流のオン・オフを制御することができる。

30

【0007】上述した双方向形LIGBTをオン状態にするには、各ゲート電極510、511と各エミッタ電極512、513とにそれぞれ近接したエミッタ電極512、513との間にゲート電極510、511が正電位となるように電圧を印加する。このとき、p+形ウェル領域504、505に介するゲート絶縁膜508、509の直下にチャンネルが形成され、n+形エミッタ領域506、507からn形半導体層503に電子が注入されるようになる。

40

【0008】この状態で、一方のエミッタ電極513に正電圧、他方のエミッタ電極512に負電圧を印加すると、エミッタ電極512からn+形エミッタ領域506を介してn形半導体層503に電子が注入され、p+形ウェル領域505からn形半導体層503にホールが注入される。このようにしてn形半導体層503に電子とホールとが注入されると、電子とホールとの拡散電流によりエミッタ電極513からエミッタ電極512に向かって電流が流れる。また、エミッタ電極512、513に印加される電圧の方向が逆になれば、エミッタ電極512からエミッタ電極513に向かって電流が流れる。

50

こうして図7に示すように、エミッタ電極512、513間に印加される電圧の極性にかかわらず電流を流すことができるのである。つまり、交流電圧に対してオン状態になる。図7における各曲線に示した電圧値はゲート電極510、511に印加する電圧を示す。

【0009】一方、双方向形LIGBTをオフ状態にするには、各ゲート電極510、511とそれぞれ近接したエミッタ電極512、513とを短絡させる。このとき、p+形ウェル領域504、505においてゲート絶縁膜508、509の直下に形成されているチャンネルが消失し、n+形エミッタ領域506、507からn形半導体層503への電子の注入がなくなる。電子の注入がなくなればp+形ウェル領域504、505からのホールの注入もなくなり、n形半導体層503に残留しているホールが消失するか、負電圧が印加されているp+形ウェル領域504、505に引き抜かれて消失すれば、エミッタ電極512、513間で電流は流れなくなる。つまり、オフ状態になる。オフ状態では、図8に示すように、両エミッタ電極512、513間に正負いずれの電圧を印加しても電流は流れない。つまり、交流電圧に対してオフ状態になる。

【0010】上述した双方向形LIGBTには、1チップで交流電力のオン・オフを制御することができ、しかもオン電圧が小さく、自己消弧でき（つまり、自己保持せず）、さらには遮断速度（ターンオフタイム）が比較的速いという長所がある。

【0011】

【発明が解決しようとする課題】しかしながら、エミッタ電極512、513間を流れる主電流が、p+形ウェル領域504、505とn形半導体層503との間の接合を通じて流れるものであるから、図7に示されているように、エミッタ電極512、513間の印加電圧が所定電圧に達するまで電流が流れないことになる。つまり、いわゆるオフセット特性を示すことになる。一方、信号電流をオン・オフするには、動作電流の全領域においてオン抵抗が一定であることが要求され、上述したようなオフセット特性を示すスイッチ素子は使用することができない。

【0012】本発明は上記事由に鑑みて為されたものであり、その目的は、動作電流の全領域においてオン抵抗が略一定となる双方向形半導体装置を提供することにある。

【0013】

【課題を解決するための手段】請求項1の発明は、絶縁層の上に第一導電形の半導体層を形成したSOI構造の基板を有し、前記半導体層の表面側に互いに離間して形成された高濃度第一導電形の一対のドレイン領域と、前記一対のドレイン領域間の前記半導体層を分割するように前記半導体層の表面から絶縁層まで形成された第二導電形のウェル領域と、前記ウェル領域内でウェル領域の

表面側に形成された高濃度第一導電形の一対のソース領域と、各ドレイン領域と各ソース領域との間のウェル領域の表面にゲート絶縁膜を介して配置された一対のゲート電極と、各ドレイン領域に接続された一対のドレイン電極と、前記一対のソース領域に跨がって接続されたソース電極とを備え、前記ゲート電極は互いに電気的に接続されているものである。この構成によれば、高濃度第一導電形の複数のドレイン領域と高濃度第一導電形のソース領域との間に第二導電形のウェル領域が形成され、
10 ウェル領域にはゲート絶縁膜を介してゲート電極が配置されているから、ゲート電極に電圧を印加してウェル領域にチャンネルを形成することによって、一対のドレイン領域間で双方向に電流を流すことができ、双方向形の半導体スイッチ素子を提供することができる。しかも、上記構成では、導通時に接合を通したキャリアの輸送がないから、導通時にオン抵抗が略一定になり微小電流領域においても直線性がよく、信号電流のオン・オフに用いることができる。さらに、ゲート電極が共通に接続されているから、1つの駆動回路でオン・オフを制御することができ駆動が容易である。

【0014】請求項2の発明は、絶縁層の上に第一導電形の半導体層を形成したSOI構造の基板を有し、前記半導体層の表面側に互いに離間して形成された高濃度第一導電形の一対のドレイン領域と、前記一対のドレイン領域間の前記半導体層を分割するように前記半導体層の表面から絶縁層まで形成された低濃度第一導電形のウェル領域と、前記ウェル領域内でウェル領域の表面側に形成された高濃度第一導電形のソース領域と、各ドレイン領域とソース領域との間のウェル領域の表面にゲート絶縁膜を介して配置された一対のゲート電極と、各ドレイン領域に接続された一対のドレイン電極と、ソース領域に接続されたソース電極とを備え、前記ゲート電極は互いに電気的に接続されているものである。この構成によれば、高濃度第一導電形の複数のドレイン領域と高濃度第一導電形のソース領域との間に低濃度第一導電形のウェル領域が形成され、ウェル領域にはゲート絶縁膜を介してゲート電極が配置されているから、オフ時にはゲート電極とウェル領域との仕事関数の差によって空乏層が広がって電流を遮断し、一方、オン時にはゲート電極に電圧を印加してウェル領域にキャリアの蓄積によるチャンネルを形成することによって、一対のドレイン領域間で双方向に電流を流すことができ、双方向形の半導体スイッチ素子を提供することができる。しかも、上記構成では、導通時に接合を通じたキャリアの輸送がないから、導通時にオン抵抗が略一定になり微小電流領域においても直線性がよく、信号電流のオン・オフに用いることができる。さらに、ゲート電極が共通に接続されているから、1つの駆動回路でオン・オフを制御することができ駆動が容易である。その上、ウェル領域を含めて信号あ
50 るいは電力の印加・導通される経路上にはpn接合が存

在しないので、サージ発生によるバイポーラアクションなどの発生がないことや、ソース電極をソース領域とウェル領域とに跨って形成する必要がないので、小型化に有利である。

【0015】請求項3の発明は、絶縁層の上に第一導電形の半導体層を形成したSOI構造の基板を有し、前記半導体層の表面側に互いに離間して形成された高濃度第一導電形の一对のドレイン領域と、前記一对のドレイン領域間の前記半導体層内で半導体層の表面側に形成された高濃度第一導電形のソース領域と、各ドレイン領域とソース領域との間の半導体層内で絶縁層とは離間するように半導体層の表面側に形成された高濃度第二導電形の一对のゲート領域と、各ドレイン領域に接続された一对のドレイン電極と、ソース領域に接続されたソース電極と、各ゲート領域に接続され互いに電気的に接続されたゲート電極とを備えるものである。この構成によれば、高濃度第一導電形の複数のドレイン領域と高濃度第一導電形のソース領域との間の半導体層内で絶縁層とは離間するように半導体層の表面側に高濃度第二導電形のゲート領域が形成されているから、絶縁層とゲート領域との間に形成されるチャンネルを通して一对のドレイン領域間で双方向に電流を流すことができ、双方向形の半導体スイッチ素子を提供することができる。しかも、この構成ではJFETを形成しており、導通時に接合を通じたキャリアの輸送がないから、導通時にオン抵抗が略一定になり微小電流領域においても直線性がよく、信号電流のオン・オフに用いることができる。さらに、ゲート電極が共通に接続されているから、1つの駆動回路でオン・オフを制御することができ駆動が容易である。加えて、ゲート電極に電圧を印加しない状態において導通するノーマリオン形の構成を有しているから、半導体リレーに用いるときにはb接点形の構成とすることができる。

【0016】請求項4の発明は、絶縁層の上に第一導電形の半導体層を形成したSOI構造の基板を有し、前記半導体層の表面側に互いに離間して形成された高濃度第一導電形の一对のドレイン領域と、前記一对のドレイン領域間の前記半導体層内で半導体層の表面側に形成された高濃度第一導電形のソース領域と、各ドレイン領域とソース領域との間の半導体層内で半導体層の表面から絶縁層まで形成された第二導電形の一对のゲート領域と、各ドレイン領域に接続された一对のドレイン電極と、ソース領域に接続されたソース電極と、各ゲート領域に接続され互いに電気的に接続されたゲート電極とを備え、各ゲート領域は複数の領域に分割され、分割された各領域の間が各ドレイン領域とソース領域との間の導電路であるチャンネル領域となるものである。この構成によれば、高濃度第一導電形の複数のドレイン領域と高濃度第一導電形のソース領域との間の半導体層内で第二導電形の複数のゲート領域を半導体層の表面から絶縁層まで形成し、かつ各ゲート領域にチャンネル領域を形成して

いるから、ゲート領域に形成したチャンネル領域を通して一对のドレイン領域間で双方向に電流を流すことができる。しかも、この構成ではJFETを形成しており、導通時に接合を通じたキャリアの輸送がないから、導通時にオン抵抗が略一定になり微小電流領域においても直線性がよく、信号電流のオン・オフに用いることができる。さらに、ゲート電極が共通に接続されているから、1つの駆動回路でオン・オフを制御することができ駆動が容易である。その上、チャンネル領域はゲート領域のマスク設計と拡散設計とによって寸法を制御することができるので、精度よく設計をすることができる。加えて、ゲート電極に電圧を印加しない状態において導通するノーマリオン形の構成を有しているから、半導体リレーに用いるときにはb接点形の構成とすることができる。

【0017】

【発明の実施の形態】以下の実施形態においては、説明の便宜上、第一導電形をn形、第二導電形をp形として説明するが、n形とp形とは入れ換えてもよい。

【0018】(実施形態1)本実施形態では、図1に示す構成の双方向形LDMOSFET(Lateral Double-Diffused MOSFET)を例示する。従来例と同様に、本実施形態でもSOI構造を有しており、半導体基板101の上に絶縁層102を介してn形半導体層103が形成される。n形半導体層103の表面側には2つのn++形ドレイン領域104、105が形成されるとともに、両n++形ドレイン領域104、105の間でp+形ウェル領域106が形成される。p+形ウェル領域106は絶縁層102に達する深さに形成され、n形半導体層103を2つの領域に分割している。さらに、p+形ウェル領域106の中には、2つのn++形ソース領域107、108が形成されるとともに、両n++形ソース領域107、108の間でp++形ベースコンタクト領域109が形成される。n++形ドレイン領域104、105とp+形ウェル領域106とはn形半導体層103の表面に露出し、n++形ソース領域107、108、p++形ベースコンタクト領域109はp+形ウェル領域106の表面に露出する。p+形ウェル領域106上には、ゲート絶縁膜110、111を介して絶縁ゲート形のゲート電極112、113が形成され、両ゲート電極112、113は共通に接続される。ドレイン領域104、105にはそれぞれドレイン電極114、115が接続される。さらに、ソース領域107、108とp++形ベースコンタクト領域109とに跨る形でソース電極117が接続される。

【0019】上述した双方向形LDMOSFETをオン状態にするには、ゲート電極112、113とソース電極117の間にゲート電極112、113が正電位になるように電圧を印加する。このとき、p+形ウェル領域106におけるゲート絶縁膜110、111の直下にチ

チャネルが形成される。ここで、ドレイン電極114、115間にドレイン電極114側が高電位になるように電圧が印加されているとすれば、ドレイン電極114→n++形ドレイン領域104→n形半導体層103→ゲート電極112に対応するチャネル→n++形ソース領域107→ソース電極117→n++形ソース領域108→ゲート電極113に対応するチャネル→n形半導体層103→n++形ドレイン領域105→ドレイン電極115の経路で電子電流が流れる。このとき、電流は電子電流が支配しており（つまりモノポーラであり）、電流10
 通路に接合がないから低電圧においてもオフセット成分が生じない。つまり、微小電流領域においても直線性がよい。ドレイン電極114、115に印加される電圧極性が逆になった場合には電流の向きが逆になるが同様に動作する。その結果、図2に示すように、交流電流を流すことができるとともに、微小電流領域においても直線性のよい動作が期待できる。

【0020】一方、上述した双方向形LDMOSFETをオフ状態にするには、ゲート電極112、113とソース電極117とを短絡させる。これによってp+形ウェル領域106においてゲート絶縁膜110、111の直下に形成されていたチャネルが消滅し電子電流が流れなくなり、オフ状態になるのである。オフ状態ではドレイン電極114、115間に正負いずれの電圧を印加しても電流は流れない。つまり、交流電圧に対してオフ状態になる。ここに、耐圧は双方向形LDMOSFETの片側部分の耐圧に等しい。

【0021】上述した双方向形LDMOSFETを用いると、1チップで交流電力をオン・オフさせることができ、しかも、導通時には微小電流領域においても電圧-電流特性の直線性がよく、信号電流のオン・オフに用いることが可能になる。また、ゲート電極112、113は共通接続されソース電極117は1つであるから、ゲートに制御信号を与える駆動回路も1つでよく制御が容易である。

【0022】（実施形態2）本実施形態は、図3に示す構成のMOSFETを示す。このMOSFETは、双方向形横方向蓄積形MOSFETと称するものである。本実施形態も実施形態1と同様に、SOI構造を有しており、半導体基板201の上に絶縁層202を介してn形半導体203が形成される。n形半導体層203の表面側には2つのn++形ドレイン領域204、205が形成されるとともに、両n++形ドレイン領域204、205の間でn-形ウェル領域206が形成される。n-形ウェル領域206は絶縁層202に達する深さに形成され、n形半導体層203を2つの領域に分割している。さらに、n-形ウェル領域206の中には、n++形ソース領域207が形成される。n++形ドレイン領域204、205とn-形ウェル領域206とはn形半導体層203の表面に露出し、n++形ソース領域20

7はn-形ウェル領域206の表面に露出する。n-形ウェル領域206上には、ゲート絶縁膜210、211を介して絶縁ゲート形のゲート電極212、213が形成され、両ゲート電極212、213は共通に接続される。ドレイン領域204、205にはそれぞれドレイン電極214、215が接続される。さらに、ソース領域207にはソース電極217が接続される。

【0023】上述した双方向形横方向蓄積形MOSFETをオン状態にするには、ゲート電極212、213とソース電極217の間にゲート電極212、213が正電位になるように電圧を印加する。このとき、n-形ウェル領域206におけるゲート絶縁膜210、211の直下にキャリアの蓄積に伴うチャネルが形成される。ここで、ドレイン電極214、215間にドレイン電極214側が高電位になるように電圧が印加されているとすれば、ドレイン電極214→n++形ドレイン領域204→n形半導体層203→ゲート電極212に対応するチャネル→n++形ソース領域207→ゲート電極213に対応するチャネル→n形半導体層203→n++形ドレイン領域205→ドレイン電極215の経路で電子電流が流れる。このとき、電流は電子電流が支配しており（つまりモノポーラであり）、電流経路に接合がないから低電圧においてもオフセット成分が生じない。つまり、微小電流領域においても直線性がよい。ドレイン電極214、215に印加される電圧極性が逆になった場合には電流の向きが逆になるが同様に動作する。その結果、実施形態1でも図2として示したように、交流電流を流すことができるとともに、微小電流領域においても直線性のよい動作が期待できる。

【0024】一方、上述した双方向形横方向蓄積形MOSFETをオフ状態にするには、ゲート電極212、213とソース電極217とを短絡させる。これによって、n-形ウェル領域206においてゲート絶縁膜210、211の直下に形成されていたチャネルが消滅し電子電流が流れなくなり、オフ状態になるのである。オフ状態ではドレイン電極214、215間に正負いずれの電圧を印加しても電流は流れない。つまり、交流電圧に対してオフ状態となる。ここに、耐圧は双方向形横方向蓄積形MOSFETの片側部分の耐圧に等しい。

【0025】上述した双方向形横方向蓄積形MOSFETを用いると、1チップで交流電力をオン・オフさせることができ、しかも、導通時には微小電流領域においても電圧-電流特性の直線性がよく、信号電流のオン・オフに用いることが可能になる。また、ゲート電極212、213は共通接続されソース電極217は1つであるから、ゲートに制御信号を与える駆動回路も1つでよく制御が容易である。

【0026】（実施形態3）本実施形態は、図4に示すように、双方向形JFETを例示する。本実施形態も実施形態1と同様に、SOI構造を有しており、半導体基

板301の上に絶縁層302を介してn形半導体層303が形成される。n形半導体層303の表面側には、2つのn++形ドレイン領域304、305が形成されるとともに、両n++形ドレイン領域304、305の間に2つのp++形ゲート領域307、308が形成され、さらに、両p++形ゲート領域307、308の間にn++形ソース領域306が形成される。n++形ドレイン領域304、305にはそれぞれドレイン電極309、310が接続され、p++形ゲート領域307、308にはゲート電極311、312が接続され、n++形ソース領域306にはソース電極313がそれぞれ接続される。ここで、ゲート電極311、312は共通に接続されている。

【0027】上述した双方向形JFETをオン状態にするには、ゲート電極311、312とソース電極313とを短絡させる。このとき、p++形ゲート領域307、308とn形半導体層303との接合部には内蔵電位による空乏層が現れる。ここでは、p++形とn形との階段接合を仮定しているため、この空乏層はほぼn形半導体層303において広がっている。ここで、p++形ゲート領域307、308と絶縁層302との間隙に形成されたチャンネルは開いた状態になる。ここで、ドレイン電極309、310間にドレイン電極309の方が高電位になるように電圧が印加されていると、ドレイン電極309→n++形ドレイン領域304→n形半導体層303→p++形ゲート領域307に対応するチャンネル→n形半導体層303→p++形ゲート領域308に対応するチャンネル→n形半導体層303→n++形ドレイン領域305→ドレイン電極310の経路で電子電流が流れる。このとき、電流は電子電流が支配しており（つまりモノポーラであり）、電流通路に接合がないから低電圧においてもオフセット成分が生じない。つまり、微小電流領域においても直線性がよい。ドレイン電極309、310に印加される電圧極性が逆になった場合には電流の向きが逆になるが同様に動作する。その結果、実施形態1において図2に示したように、交流電流を流すことができるとともに、微小電流領域においても直線性のよい動作が期待できる。

【0028】一方、上述した双方向形JFETをオフ状態にするには、ゲート電極311、312とソース電極313と間にゲート電極311、312が負極となるように電圧を印加する。このとき、p++形ゲート領域307、308とn形半導体層303との接合部の空乏層が広がる。ここで、p++形ゲート領域307、308と絶縁層302との間隙は、ゲート電極311、312とソース電極313との間に適宜の電圧を印加したときに生じる空乏層によって、p++形ゲート領域307、308に対応するチャンネルがピンチオフするように設計

してある。したがって、空乏層が生じるとチャンネルが消滅し電流が流れなくなり、オフ状態になる。オフ状態ではドレイン電極309、310間に正負いずれの電圧を印加しても電流は流れない。つまり、交流電圧に対してオフ状態になる。ここに、耐圧は双方向形JFETの片側部分の耐圧に等しい。

【0029】なお、上述の構成においてゲート電極311、312に正電圧を印加すれば、ゲート電極311、312とソース電極313との間を短絡した場合よりもオン抵抗をより低減させることができるが、正負の電圧を印加することができるドライバが必要であって駆動が面倒であるから、ゲート電極311、312とソース電極313との間の電圧を0Vとしたときをオン状態としている。

【0030】上述した双方向形JFETを用いると、1チップで交流電力をオン・オフさせることができ、しかも、導通時には微小電流領域においても電圧-電流特性の直線性がよく、信号電流のオン・オフに用いることが可能になる。また、ゲート電極311、312は共通接続されソース電極313は1つであるから、ゲート駆動回路も1つでよく制御が容易である。その上、ゲート電極311、312に電圧を印加しない状態においてオン状態であって、ノーマリオン形のスイッチ素子として動作するので、半導体リレーに用いればb接点形（常閉接点形）の素子を提供することができる。

【0031】（実施形態4）本実施形態は、図5に示すように、双方向形JFETを例示する。本実施形態も実施形態1と同様に、SOI構造を有しており、半導体基板401の上に絶縁層402を介してn形半導体層403が形成される。n形半導体層403の表面側には、2つのn++形ドレイン領域404、405が形成されるとともに、両n++形ドレイン領域404、405の間に2つのp++形ゲート領域407、408が形成され、さらに、両p++形ゲート領域407、408の間にn++形ソース領域406が形成される。n++形ドレイン領域404、405にはそれぞれドレイン電極409、410が接続され、p++形ゲート領域407、408にはゲート電極411、412が接続され、n++形ソース領域406にはソース電極413がそれぞれ接続される。ところで、図5(b)として示した平面図から明らかなように、n++形ソース領域406はn形半導体層403の幅方向（図5(b)の上下方向）における全長に亘って形成される。また、各p++形ゲート領域407、408はn形半導体層403の幅方向における中間部にそれぞれチャンネル領域414、415を有していて、それぞれ2つずつの領域407a、407b、408a、408bを構成している。また、p++形ゲート領域407、408は絶縁層402に達する深さに形成され、n++形ソース領域406は絶縁層402との間にチャンネルが形成されている。ここで、4つの領域40

7a, 407b, 408a, 408bに対応したゲート電極411, 412は共通に接続されている。

【0032】本実施形態の構成では、各一对の領域407a, 407b, 408a, 408bの間に、各 $n++$ ドレイン領域404, 405とソース領域406との間の導电路となるチャンネル領域414, 415が形成される点を除けば実施形態2と同様に動作する。

【0033】上述した双方向形JFETを用いると、1チップで交流電力をオン・オフさせることができ、しかも、導通時には微小電流領域においても電圧-電流特性の直線性がよく、信号電流のオン・オフに用いることが可能になる。また、ゲート電極411, 412は共通接続されソース電極413は1つであるから、ゲート駆動回路も1つでよく制御が容易である。その上、ゲート電極411, 412に電圧を印加しない状態においてオン状態であって、ノーマリオン形のスイッチ素子として動作するので、半導体リレーに用いればb接点形(常閉接点形)の素子を提供することができる。加えて、実施形態3の構成では n 形半導体層303の厚みのばらつきがあると、チャンネルの形成される部位の間隙にばらつきが生じて、ピンチオフの特性に影響を与えるおそれがあるが、本実施形態の構成では、チャンネルの間隙は $p++$ 形ゲート領域407, 408のマスク設計と拡散設計によって制御することができるので、より確度の高い設計をすることができるという利点も有する。

【0034】

【発明の効果】請求項1の発明は、絶縁層の上に第一導電形の半導体層を形成したSOI構造の基板を有し、前記半導体層の表面側に互いに離間して形成された高濃度第一導電形の一对のドレイン領域と、前記一对のドレイン領域間の前記半導体層を分割するように前記半導体層の表面から絶縁層まで形成された第二導電形のウェル領域と、前記ウェル領域内でウェル領域の表面側に形成された高濃度第一導電形の一对のソース領域と、各ドレイン領域と各ソース領域との間のウェル領域の表面にゲート絶縁膜を介して配置された一对のゲート電極と、各ドレイン領域に接続された一对のドレイン電極と、前記一对のソース領域に跨って接続されたソース電極とを備え、前記ゲート電極は互いに電気的に接続されているものであり、導通時に接合を通したキャリアの輸送がないから、導通時にオン抵抗が略一定になり微小電流領域においても直線性がよく、信号電流のオン・オフに用いることができるという利点があり、しかも、ゲート電極が共通に接続されているから、1つの駆動回路でオン・オフを制御することができるという利点がある。

【0035】請求項2の発明は、絶縁層の上に第一導電形の半導体層を形成したSOI構造の基板を有し、前記半導体層の表面側に互いに離間して形成された高濃度第一導電形の一对のドレイン領域と、前記一对のドレイン

領域間の前記半導体層を分割するように前記半導体層の表面から絶縁層まで形成された低濃度第一導電形のウェル領域と、前記ウェル領域内でウェル領域の表面側に形成された高濃度第一導電形のソース領域と、各ドレイン領域とソース領域との間のウェル領域の表面にゲート絶縁膜を介して配置された一对のゲート電極と、各ドレイン領域に接続された一对のドレイン電極と、ソース領域に接続されたソース電極とを備え、前記ゲート電極は互いに電気的に接続されているものであり、導通時に接合を通したキャリアの輸送がないから、導通時にオン抵抗が略一定になり微小電流領域においても直線性がよく、信号電流のオン・オフに用いることができるという利点があり、しかも、ゲート電極が共通に接続されているから、1つの駆動回路でオン・オフを制御することができるという利点がある。さらに、ウェル領域を含めて信号あるいは電力の印加・導通される経路上には pn 接合が存在しないので、サージ発生によるバイポーラアクションなどの発生がないことや、ソース電極をソース領域とウェル領域とに跨って形成する必要がないので、小型化に有利であるという利点もある。

【0036】請求項3の発明は、絶縁層の上に第一導電形の半導体層を形成したSOI構造の基板を有し、前記半導体層の表面側に互いに離間して形成された高濃度第一導電形の一对のドレイン領域と、前記一对のドレイン領域間の前記半導体層内で半導体層の表面側に形成された高濃度第一導電形のソース領域と、各ドレイン領域とソース領域との間の半導体層内で絶縁層とは離間するように半導体層の表面側に形成された高濃度第二導電形の一对のゲート領域と、各ドレイン領域に接続された一对のドレイン電極と、ソース領域に接続されたソース電極と、各ゲート領域に接続され互いに電気的に接続されたゲート電極とを備えるものであり、導通時に接合を通したキャリアの輸送がないから、導通時にオン抵抗が略一定になり微小電流領域においても直線性がよく、信号電流のオン・オフに用いることができるという利点があり、しかも、ゲート電極が共通に接続されているから、1つの駆動回路でオン・オフを制御することができるという利点がある。

【0037】請求項4の発明は、絶縁層の上に第一導電形の半導体層を形成したSOI構造の基板を有し、前記半導体層の表面側に互いに離間して形成された高濃度第一導電形の一对のドレイン領域と、前記一对のドレイン領域間の前記半導体層内で半導体層の表面側に形成された高濃度第一導電形のソース領域と、各ドレイン領域とソース領域との間の半導体層内で半導体層の表面から絶縁層まで形成された第二導電形の一对のゲート領域と、各ドレイン領域に接続された一对のドレイン電極と、ソース領域に接続されたソース電極と、各ゲート領域に接続され互いに電気的に接続されたゲート電極とを備え、各ゲート領域は複数の領域に分割され、分割され

た各領域の間が各ドレイン領域とソース領域との間の導電路であるチャンネル領域となるものであり、導通時に接合を通したキャリアの輸送がないから、導通時にオン抵抗が略一定になり微小電流領域においても直線性がよく、信号電流のオン・オフに用いることができるという利点があり、しかも、ゲート電極が共通に接続されているから、1つの駆動回路でオン・オフを制御することができ駆動が容易であるという利点がある。また、チャンネル領域はゲート領域のマスク設計と拡散設計とによって寸法を制御することができるので、精度よく設計をすることができるという利点もある。

【図面の簡単な説明】

【図1】本発明の実施形態1を示す概略断面図である。

【図2】同上の動作説明図である。

【図3】本発明の実施形態2を示す概略断面図である。

【図4】本発明の実施形態3を示す概略断面図である。

【図5】本発明の実施形態4を示し、(a)は破断した斜視図、(b)は平面図である。

【図6】従来例を示す概略断面図である。

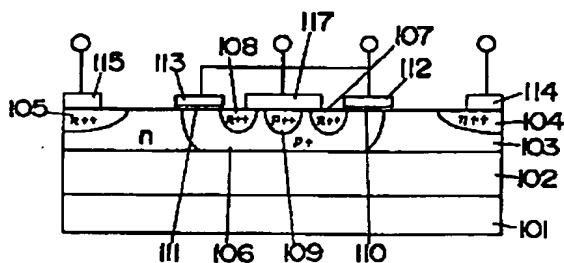
【図7】同上の動作説明図である。

【図8】同上の動作説明図である。

【符号の説明】

- 101 半導体基板
- 102 絶縁層
- 103 n形半導体層
- 104, 105 n++形ドレイン領域
- 106 p+形ウェル領域
- 107, 108 n++形ソース領域
- 110, 111 ゲート絶縁膜
- 112, 113 ゲート電極
- 114, 115 ドレイン電極
- 117 ソース電極

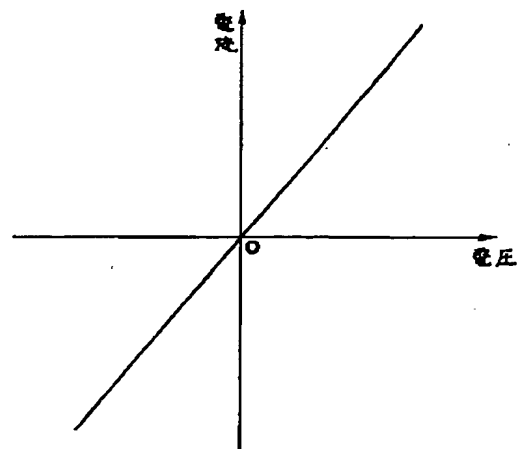
【図1】



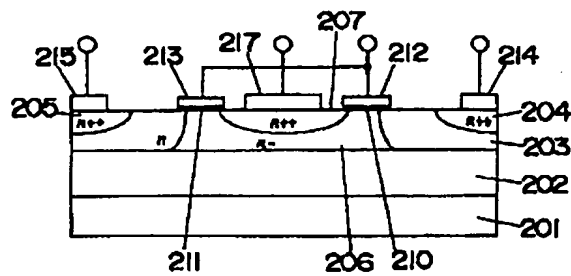
- 101 半導体基板
- 102 絶縁層
- 103 n形半導体層
- 104, 105 n++形ドレイン領域
- 106 p+形ウェル領域
- 107, 108 n++形ソース領域
- 110, 111 ゲート絶縁膜
- 112, 113 ゲート電極
- 114, 115 ドレイン電極
- 117 ソース電極

- 114, 115 ドレイン電極
- 117 ソース電極
- 201 半導体基板
- 202 絶縁層
- 203 n形半導体層
- 204, 205 n++形ドレイン領域
- 206 n-形ウェル領域
- 207 n++形ソース領域
- 212, 213 ゲート電極
- 214, 215 ドレイン電極
- 217 ソース電極
- 301 半導体基板
- 302 絶縁層
- 303 n形半導体層
- 304, 305 n++形ドレイン領域
- 306 n++形ソース領域
- 307, 308 p++形ゲート領域
- 309, 310 ドレイン電極
- 311, 312 ゲート電極
- 313 ソース電極
- 401 半導体基板
- 402 絶縁層
- 403 n形半導体層
- 404, 405 n++形ドレイン領域
- 406 n++形ソース領域
- 407, 408 p++形ゲート領域
- 409, 410 ドレイン電極
- 411, 412 ゲート電極
- 413 ソース電極
- 414, 415 チャンネル領域

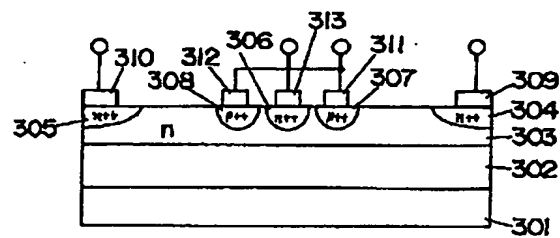
【図2】



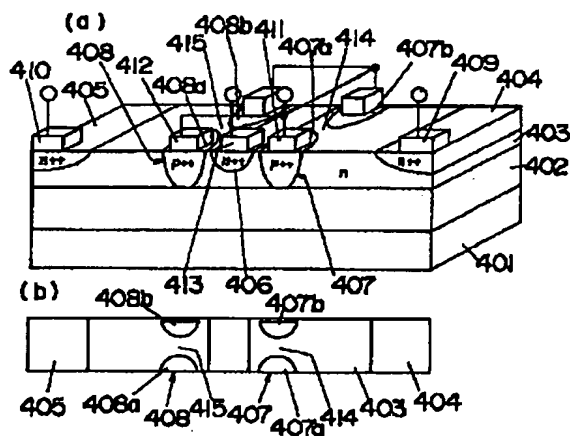
【図3】



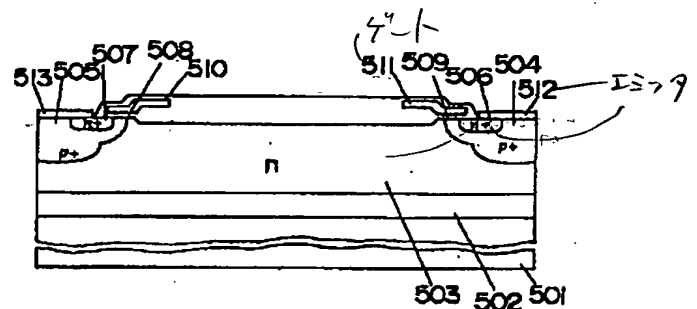
【図4】



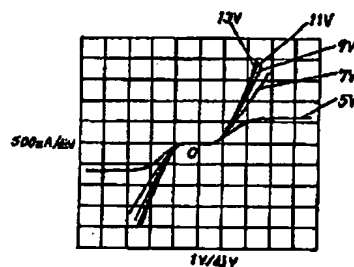
【図5】



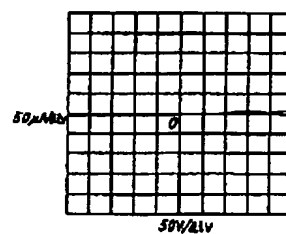
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 白井 良史
大阪府門真市大字門真1048番地松下電工
株式会社内

(72)発明者 岸田 貴司
大阪府門真市大字門真1048番地松下電工
株式会社内

(72)発明者 ▲高▼野 仁路
大阪府門真市大字門真1048番地松下電工
株式会社内

(72)発明者 吉田 岳司
大阪府門真市大字門真1048番地松下電工
株式会社内

(58)調査した分野(Int. Cl. 7, D B名)

H01L 29/786
H01L 21/336
H01L 21/337
H01L 29/808